

3(70)/2014

# INFORMATSIONNO- UPRAVLIAIUSHCHIE SISTEMY (INFORMATION AND CONTROL SYSTEMS)

REFEREED EDITION

**Founder**

«Information and Control Systems», Ltd.

**Editor-in-Chief**

M. Sergeev

Dr. Sc. Tech., Professor, St.-Petersburg, Russia

**Deputy Editor-in-Chief**

E. Krouk

Dr. Sc. Tech., Professor, St.-Petersburg, Russia

**Executive secretary**

O. Muravtsova

**Editorial Council**

L. Chubraeva

RAS Corr. Member, Dr. Sc. Tech., Professor, St. Petersburg, Russia

L. Fortuna

PhD, Professor, Catania, Italy

A. Fradkov

Dr. Sc. Tech., Professor, St. Petersburg, Russia

V. Kozlov

Dr. Sc. Tech., Professor, St. Petersburg, Russia

C. Christodoulou

PhD, Professor, Albuquerque, New Mexico, USA

B. Meyer

PhD, Professor, Zurich, Switzerland

A. Ovodenko

Dr. Sc. Tech., Professor, St. Petersburg, Russia

Y. Podoplyokin

Dr. Sc. Tech., Professor, St. Petersburg, Russia

Yu. Shokin

RAS Academician, Dr. Sc. Phys.-Math., Novosibirsk, Russia

V. Simakov

Dr. Sc. Tech., Professor, Moscow, Russia

V. Vasilev

RAS Corr. Member, Dr. Sc. Tech., Professor, St. Petersburg, Russia

R. Yusupov

RAS Corr. Member, Dr. Sc. Tech., Professor, St. Petersburg, Russia

**Editorial Board**

V. Anisimov

Dr. Sc. Tech., Professor, St. Petersburg, Russia

B. Bezruchko

Dr. Sc. Phys.-Math., Saratov, Russia

N. Blaunstein

Dr. Sc. Phys.-Math., Professor, Beer-Sheva, Israel

A. Dudin

Dr. Sc. Tech., Professor, Minsk, Belarus

V. Khimenko

Dr. Sc. Tech., Professor, St. Petersburg, Russia

G. Maltsev

Dr. Sc. Tech., Professor, St. Petersburg, Russia

V. Melekhin

Dr. Sc. Tech., Professor, St. Petersburg, Russia

A. Shalyto

Dr. Sc. Tech., Professor, St. Petersburg, Russia

A. Shepeta

Dr. Sc. Tech., Professor, St. Petersburg, Russia

A. Smirnov

Dr. Sc. Tech., Professor, St. Petersburg, Russia

Z. Yuldashev

Dr. Sc. Tech., Professor, St. Petersburg, Russia

A. Zeifman

Dr. Sc. Phys.-Math., Vologda, Russia

**Editor:** A. Larionova**Proofreader:** T. Zvertanovskaia**Design:** A. Koleshko, M. Chernenko**Layout and composition:** N. Karavaeva**Contact information**

The Editorial and Publishing Center, SUAI

67, B. Morskaia, 190000, St. Petersburg, Russia

Website: <http://i-us.ru/en>, E-mail: [ius.spb@gmail.com](mailto:ius.spb@gmail.com)

Tel.: +7 - 812 494 70 02

The Journal was registered in the Ministry of Press, Broadcasting and Mass Media of the Russian Federation. Registration Certificate JD № 77-12412 from April, 19, 2002. Re-registration in the Federal Service for Supervision in the Sphere of Telecom, Information Technologies and Mass Communications (ROSKOMNADZOR) due to change of the founder: «Information and Control Systems», Ltd., JD № FS77-49181 from March, 30, 2012.

The journal is distributed by subscription. Subscription can be made in the Editorial and publishing center, SUAI as well as in any post office based on «Rospechat» catalogue: № 48060 — annual subscript, № 15385 — semiannual subscript.

© Corporate authors, 2014

**INFORMATION AND CONTROL SYSTEMS**

**Viktorov D. S., Chislov S. G.** Method of Correction of the Non-Linear Distortions Entered by an Analog Key in Probing Signals 2

**Turubanov M. A., Shishlakov V. F., Shyshlakov A. V.** Impulse Control System for Combined Solar and Wind Installation with Superconductor Equipment 8

**Zakharova O. L., Kirsanova J. A., Kniga E. V., Zharinov I. O.** Algorithms and Software of Testing Onboard Digital Computer Systems Integrated Modular Avionics 19

**SYSTEM AND PROCESS MODELING**

**Kuchmin A. Yu.** Modeling of Equivalent Stiffness of Adaptive Platforms with the Parallel Structure Executive Mechanism 30

**HARDWARE AND SOFTWARE RESOURCES**

**Balonin N. A., Marley V. E., Sergeev M. B.** New Opportunities of the Mathematical Network for Collaborative Research and Modeling in the Internet 40

**Marakhovsky V. B.** CMOS Implementation of the Trainee's Threshold Logical Element. Part I. Design and Training Diagram 47

**Kolchin I. V., Filippov S. N.** The Architecture of Bare-Metal Real-Time Microhypervisor and Automated Measurement of Time Response 57

**Shoshmina I. V.** A Methodology of Eliciting Context Requirements to Program Logic Control Systems 68

**INFORMATION SECURITY**

**Bezzateev S. V., Voloshina N. V., Sankin P. S.** Safety Analysis Methodology of Complex Systems Taking Into Account the Threats to Information Security 78

**Boyko A. A., Djakova A. V.** Method of Developing Test Remote Information-Technical Impacts on Spatially Distributed Systems of Information-Technical Tools 84

**INFORMATION CODING AND TRANSMISSION**

**Cheprukov Yu. V., Socolov M. A.** Correlation Characteristics and Application of Some Binary Codes 93

**Alekseev M. O.** On the Detection of Algebraic Manipulations by Means of Multiplication Operation 103

**INFORMATION AND MEASURING SYSTEMS**

**Allakhverdiyeva N. R.** Development of a Method for Improving the Accuracy of the Measuring Channel 109

**INFORMATION INSTRUMENTATION AND EDUCATION**

**D'yachuk P. P., Loginov D. A., Karabalykov S. A.** Synergetic Approach to Management of Educational Activity in Verbal Problem Environments 118

**CONTROL IN MEDICAL AND BIOLOGICAL SYSTEMS**

**Tichonov E. P.** Adaptive Filtering Algorithms Electrocardiogram High Time Resolution Part I. Background Information and Analysis Approach to Solving the Problem 125

**CHRONICLES AND INFORMATION**

**IV International Forum «TELECOM NETWORKS 2.0. Sharing, Engineering, Outsourcing, Development & Metering» 132**

**INFORMATION ABOUT THE AUTHORS**

134

Submitted for publication 07.04.14. Passed for printing 17.06.14. Format 60×84/8. Offset paper. Phototype SchoolBookC. Offset printing.

Layout original is made at the Editorial and Publishing Center, SUAI.  
67, B. Morskaia, 190000, St. Petersburg, Russia  
Printed from slides at the Editorial and Publishing Center, SUAI.  
67, B. Morskaia, 190000, St. Petersburg, Russia

Учредитель  
ООО «Информационно-управляющие системы»

Главный редактор  
М. Б. Сергеев,  
д-р техн. наук, проф., С.-Петербург, РФ

Зам. главного редактора  
Е. А. Крук,  
д-р техн. наук, проф., С.-Петербург, РФ

Ответственный секретарь  
О. В. Муравцова

Редакционный совет:  
Председатель А. А. Оводенко,  
д-р техн. наук, проф., С.-Петербург, РФ  
В. Н. Васильев,  
чл.-корр. РАН, д-р техн. наук, проф., С.-Петербург, РФ  
В. Н. Козлов,  
д-р техн. наук, проф., С.-Петербург, РФ  
К. Кристоделу,  
д-р наук, проф., Альбукерке, Нью-Мексико, США  
Б. Мейер,  
д-р наук, проф., Цюрих, Швейцария  
Ю. Ф. Подоплекин,  
д-р техн. наук, проф., С.-Петербург, РФ  
В. В. Симаков,  
д-р техн. наук, проф., Москва, РФ  
Л. Фортуна,  
д-р наук, проф., Катания, Италия  
А. Л. Фрадков,  
д-р техн. наук, проф., С.-Петербург, РФ  
Л. И. Чубраева,  
чл.-корр. РАН, д-р техн. наук, С.-Петербург, РФ  
Ю. И. Шокин,  
акад. РАН, д-р физ.-мат. наук, проф., Новосибирск, РФ  
Р. М. Юсупов,  
чл.-корр. РАН, д-р техн. наук, проф., С.-Петербург, РФ

Редакционная коллегия:  
В. Г. Анисимов,  
д-р техн. наук, проф., С.-Петербург, РФ  
Б. П. Безручко,  
д-р физ.-мат. наук, проф., Саратов, РФ  
Н. Блаунштейн,  
д-р физ.-мат. наук, проф., Беэр-Шева, Израиль  
А. Н. Дудин,  
д-р физ.-мат. наук, проф., Минск, Беларусь  
А. И. Зейфман,  
д-р физ.-мат. наук, проф., Вологда, РФ  
Г. Н. Мальцев,  
д-р техн. наук, проф., С.-Петербург, РФ  
В. Ф. Мелехин,  
д-р техн. наук, проф., С.-Петербург, РФ  
А. В. Смирнов,  
д-р техн. наук, проф., С.-Петербург, РФ  
В. И. Хименко,  
д-р техн. наук, проф., С.-Петербург, РФ  
А. А. Шалыто,  
д-р техн. наук, проф., С.-Петербург, РФ  
А. П. Шепета,  
д-р техн. наук, проф., С.-Петербург, РФ  
З. М. Юлдашев,  
д-р техн. наук, проф., С.-Петербург, РФ

Редактор: А. Г. Ларионова  
Корректор: Т. В. Звертановская  
Дизайн: А. Н. Колешко, М. Л. Черненко  
Компьютерная верстка: Н. Н. Караваева

Адрес редакции: 190000, Санкт-Петербург,  
Б. Морская ул., д. 67, ГУАП, РИЦ  
Тел.: (812) 494-70-02, e-mail: ius.spb@gmail.com, сайт: http://i-us.ru

Журнал зарегистрирован в Министерстве РФ по делам печати, телерадиовещания и средств массовых коммуникаций.  
Свидетельство о регистрации ПИ № 77-12412 от 19 апреля 2002 г.  
Перерегистрирован в Роскомнадзоре.  
Свидетельство о регистрации ПИ № ФС77-49181 от 30 марта 2012 г.

Журнал входит в «Перечень ведущих рецензируемых научных журналов и изданий, в которых должны быть опубликованы основные научные результаты диссертации на соискание ученой степени доктора и кандидата наук».

Журнал распространяется по подписке. Подписку можно оформить через редакцию, а также в любом отделении связи по каталогу «Роспечать»: № 48060 — годовой индекс, № 15385 — полугодовой индекс.

© Коллектив авторов, 2014

**ОБРАБОТКА ИНФОРМАЦИИ И УПРАВЛЕНИЕ**

**Викторов Д. С., Числов С. Г.** Метод коррекции нелинейных искажений, вносимых аналоговым ключом в зондирующие сигналы 2

**ИНФОРМАЦИОННО-УПРАВЛЯЮЩИЕ СИСТЕМЫ**

**Турубанов М. А., Шишлаков В. Ф., Шишлаков А. В.** Импульсная система управления комбинированной солнечно- и ветроэнергетической установкой со сверхпроводниковым оборудованием 8  
**Захарова О. Л., Кирсанова Ю. А., Книга Е. В., Жаринов И. О.** Алгоритмы и программные средства тестирования бортовых цифровых вычислительных систем интегрированной модульной авионики 19

**МОДЕЛИРОВАНИЕ СИСТЕМ И ПРОЦЕССОВ**

**Кучмин А. Ю.** Моделирование эквивалентной жесткости адаптивных платформ с исполнительными механизмами параллельной структуры 30

**ПРОГРАММНЫЕ И АППАРАТНЫЕ СРЕДСТВА**

**Балонин Н. А., Марлей В. Е., Сергеев М. Б.** Новые возможности математической сети для коллективных исследований и моделирования в Интернете 40  
**Мараховский В. Б.** КМОП-реализация обучаемого порогового логического элемента. Часть 1: Проектирование и схема обучения 47  
**Колчин И. В., Филиппов С. Н.** Архитектура автономного микро-гипервизора реального времени и автоматизированное измерение его временных характеристик 57  
**Шошмина И. В.** Методика составления контекстных требований к программным системам логического управления 68

**ЗАЩИТА ИНФОРМАЦИИ**

**Беззатеев С. В., Волошина Н. В., Санкин П. С.** Методика расчета надежности сложных систем, учитывающая угрозы информационной безопасности 78  
**Бойко А. А., Дьякова А. В.** Способ разработки тестовых удаленных информационно-технических воздействий на пространственно распределенные системы информационно-технических средств 84

**КОДИРОВАНИЕ И ПЕРЕДАЧА ИНФОРМАЦИИ**

**Чепруков Ю. В., Соколов М. А.** Корреляционные характеристики и применение некоторых бинарных R3-кодов 93  
**Алексеев М. О.** Об обнаружении алгебраических манипуляций с помощью операции умножения 103

**ИНФОРМАЦИОННО-ИЗМЕРИТЕЛЬНЫЕ СИСТЕМЫ**

**Аллахвердиева Н. Р.** Разработка метода повышения точности измерительного канала 109

**ИНФОРМАЦИОННЫЕ ТЕХНОЛОГИИ И ОБРАЗОВАНИЕ**

**Дьячук П. П., Логинов Д. А., Карабальков С. А.** Синергетический подход к управлению учебной деятельностью в вербальных проблемных средах 118

**УПРАВЛЕНИЕ В МЕДИЦИНЕ И БИОЛОГИИ**

**Тихонов Э. П.** Адаптивные алгоритмы фильтрации и фрагментации электрокардиограмм высокого временного разрешения. Часть 1: Исходные сведения и анализ подхода к решению проблемы 125

**ХРОНИКА И ИНФОРМАЦИЯ**

**IV Международный Форум «TELECOM NETWORKS 2.0. Sharing, Engineering, Outsourcing, Development & Metering»** 132

**СВЕДЕНИЯ ОБ АВТОРАХ**

134

Сдано в набор 07.04.14. Подписано в печать 17.06.14. Формат 60×84/8. Бумага офсетная. Гарнитура SchoolBookC. Печать офсетная. Усл. печ. л. 16,0. Уч.-изд. л. 20,1. Тираж 1000 экз. Заказ 258.

Оригинал-макет изготовлен в редакционно-издательском центре ГУАП. 190000, Санкт-Петербург, Б. Морская ул., 67.

Отпечатано с готовых диапозитивов в редакционно-издательском центре ГУАП. 190000, Санкт-Петербург, Б. Морская ул., 67.

УДК 681.3

# КМОП-РЕАЛИЗАЦИЯ ОБУЧАЕМОГО ПОРОГОВОГО ЛОГИЧЕСКОГО ЭЛЕМЕНТА

## Часть 1: Проектирование и схема обучения

**В. Б. Мараховский<sup>а</sup>**, доктор техн. наук, профессор

<sup>а</sup>Санкт-Петербургский государственный политехнический университет

**Цель:** показать возможность реализации в КМОП-технологии, использующей современные проектные нормы, аналого-цифрового искусственного нейрона на примере построения логического порогового элемента, обучаемого сложным пороговым логическим функциям. **Методы:** представление нейрона МакКалока — Питтса в виде отношения суммы взвешенных входов к порогу и разработка методики построения обучаемого порогового элемента, состоящего из синапсов, проводимость которых определяется входными переменными и их приведенными к порогу функции весами, накапливаемыми в процессе обучения на элементах аналоговой памяти; высокочувствительного компаратора, сравнивающего суммарную проводимость синапсов с проводимостью r-канальной части компаратора, представляющей наибольшее возможное значение порога; трех выходных усилителей с разными значениями порогов срабатывания. **Результаты:** показано, что реализуемость такого обучаемого порогового элемента зависит только от величины порога и не зависит от суммы весов входов и их числа. Элемент может быть обучен реализации произвольных пороговых логических функций, порог которых не превосходит некоторой заданной величины. Рассматриваемая в статье схема элемента ориентирована на максимальное значение порога, равное 89, и может реализовать любую пороговую функцию 10 переменных. Предложена схема обучения порогового элемента, которая осуществляет параллельное формирование весов активных входов и автоматический выбор величины шага обучения. Все практические результаты в работе получены с использованием SPICE-моделирования схем, построенных в КМОП-технологии 0,18 мкм. **Практическая значимость:** существенно расширены функциональные возможности обучаемого порогового элемента, который может быть использован в системах логического распознавания образов, а также при создании нового поколения нейрочипов.

**Ключевые слова** — искусственный нейрон, синапс, обучаемый пороговый логический элемент, алгоритм обучения, шаг обучения, КМОП-технология, пороговая логическая функция.

### Введение

Аппаратная реализация искусственного нейрона имеет ряд известных преимуществ по сравнению с программной реализацией [1–5]. По этой причине еще 25 лет назад промышленность начала выпускать нейрочипы, ориентированные на решение определенного круга задач. В этих нейрочипах нейроны реализованы в виде программируемых контроллеров. Однако можно себе представить и другой тип аппаратной реализации нейрона — в виде аналоговой или цифро-аналоговой схемы (устройства). Каждый тип реализаций имеет свои преимущества, недостатки и области применения.

Аналоговые и цифро-аналоговые реализации имеют преимущество очень высокой производительности, однако их аналоговая часть накладывает жесткие ограничения на класс реализуемых пороговых функций в силу аналоговой природы. Этот недостаток значительно уменьшает функциональные возможности нейронных сетей, которые имеют фиксированное количество нейронов.

Функциональная мощность нейрочипа в равной степени зависит как от числа нейронов, которые могут быть размещены на одной СБИС, так и от функциональных возможностей одного нейрона. К сожалению, влияние этих параметров на функциональную мощность нейрочипа еще не изучено.

Очевидно, что при разработке новых нейрочипов следует уменьшать площадь, занимаемую как самим нейроном, так и его синапсами, число которых может быть достаточно большим, а также расширять функциональные возможности нейрона. В этой связи имеет смысл рассмотреть вариант использования цифро-аналоговых нейронов, требующих несравнимо меньшего числа транзисторов, чем программируемые контроллеры.

Известны попытки построения искусственного нейрона как импульсного, так и потенциального типов в виде аналоговой схемы из операционных суммирующих усилителей или схемы суммирования токов на токовых ключах. Типичные исследования этого вопроса описаны в работах [6–8]. Рассматриваемые в них модели нейронов предназначены для решения достаточно простых частных задач и имеют малое число входов с фиксированными весами. Существуют работы, например [9], в которых предложены варианты сети из искусственных нейронов аналогового типа, допускающих формирование весов входов в процессе обучения.

Более интересными являются цифро-аналоговые реализации искусственного нейрона на основе МОП-технологии. К таким реализациям относятся так называемые neuron-MOSFET схемы [3–5, 10, 11], построенные из транзисторов с плавающими затворами, соединенными через конденсаторы с входами. Веса входов представлены

напряжениями на конденсаторах. В этих работах рассматривается возможность реализации простейших пороговых булевых функций и возможность обучения путем изменения напряжений на конденсаторах.

Далее будем рассматривать только простейший вариант нейрона — обучаемый логический пороговый элемент, который может быть реализован в КПОМ-технологии. На входы такого нейрона подаются не аналоговые, а двоичные переменные.

Профессором В. И. Варшавским был предложен [12] новый тип порогового элемента  $\beta$ -DTE ( $\beta$ -driven threshold element –  $\beta$ -управляемый пороговый элемент), которому необходим один транзистор на логический вход. Этот элемент использует специальное представление пороговой функции в форме отношения, которое может быть реализовано путем сравнения проводимостей  $p$ - и  $n$ -канальной подсхем элемента. Отношение проводимостей этих частей зависит от отношений крутизны характеристик  $p$ - и  $n$ -транзисторов, которая обычно обозначается как  $\beta$ . По этой причине элемент и назван  $\beta$ -управляемым. Такой пороговый элемент может очень экономично реализовать любые пороговые функции, но не более чем трех (от силы четырех) переменных из-за возможного разброса технологических параметров транзисторов.

Принимая во внимание, что разброс технологических параметров транзисторов может быть компенсирован только в процессе обучения, В. И. Варшавский с целью увеличить логические возможности порогового элемента предложил [13, 14] схему искусственного нейрона, построенную на основе  $\beta$ -DTE, которая обучается пороговым логическим функциям. Эта схема состоит из синапсов,  $\beta$ -компаратора и выходного усилителя. Обучаемый синапс содержит пять транзисторов и один конденсатор. Такой нейрон обладает одним замечательным свойством: его реализуемость зависит только от величины порога и не зависит от количества логических входов и их весов, в то время как реализуемость схем, использующих другие подходы, зависит от суммы весов входов и порога, за исключением, быть может, neuron-MOSFET подхода. Этот факт в сочетании с относительно низкой сложностью делает нейрон на основе  $\beta$ -DTE очень привлекательным для использования в следующем поколении цифро-аналоговых нейрочипов.

Искусственный нейрон, предназначенный для реализации логических пороговых функций, правильнее называть обучаемым пороговым элементом (trainee threshold element – TTE). Во время обучения это устройство создает аналоговые веса для двоичных (цифровых) входных переменных. Очевидно, что искусственный нейрон с аналоговыми входами может быть построен на основе TTE.

В дальнейших работах В. И. Варшавского совместно с автором этой статьи [15–19] была доказана принципиальная возможность реализации TTE в КМОП-технологии, построенного на основе  $\beta$ -DTE и обучаемого произвольным пороговым булевым функциям вплоть до 12 переменных. Был предложен эффективный способ обучения таких элементов, решена проблема поддержания обученного состояния, исследованы предельные функциональные возможности элементов, а также вопросы устойчивости полученных решений относительно изменений внешних факторов. Все эксперименты проводились с использованием SPICE-моделирования для технологии 0,8 мкм при напряжении питания 5 В.

Известно, что с уменьшением размеров транзисторов ухудшаются их характеристики и уменьшается напряжение питания, что является немаловажным фактором при разработке аналоговой части устройств. Представляет интерес ответ на вопрос, до каких пределов допускается уменьшение размеров транзисторов при построении цифро-аналоговых устройств?

Данная статья преследует две цели. С одной стороны, необходимо ответить на вопрос, допустима ли реализация TTE при использовании современных технологических норм? В данном случае переход на другую технологию не может быть решен на основе масштабирования ранее разработанных схем и является достаточно сложной проблемой. В статье показано, что использование технологии 0,18 мкм и переход на напряжение питания, равное 3 В, вполне допустимы. По-видимому, для TTE дальнейшее уменьшение размеров транзисторов и напряжения питания является нецелесообразным, так как это ведет к существенному снижению его функциональных возможностей.

Вторая цель заключается в том, что указанные выше публикации являются англоязычными, поэтому представляется целесообразным повторить некоторые изложенные в них результаты для русскоязычного читателя. К сожалению, без этого первая цель не может быть достигнута.

### Пороговый элемент с управляемыми входными весами

Математическая модель нейрона, появившаяся в работах МакКаллока и Питтса [20], является пороговой функцией:

$$F = \text{sign} \left( \sum_{j=1}^n w_j x_j - T \right);$$

$$\text{sign}(A) = \begin{cases} 0, & \text{если } A < 0 \\ 1, & \text{если } A \geq 0 \end{cases}, \quad (1)$$

где  $w_j$  — вес  $j$ -го входа;  $T$  — пороговое значение.

Из представления пороговой функции в виде (1) следует, что пороговый элемент традиционно реализуется в виде структуры, показанной на рис. 1.

Для построения порогового элемента с регулируемыми входными весами введена [13, 14] так называемая сокращенная форма отношения

$$F = \text{sign} \left( \sum_{j=1}^n w_j x_j - T \right) = \text{sign} \left( \frac{\sum_{j=1}^n \omega_j x_j}{T} - 1 \right) = \text{Rt} \left( \sum_{j=1}^n \omega_j x_j \right); \quad \text{Rt}(A) = \begin{cases} 1, & \text{если } A \geq 1 \\ 0, & \text{если } A < 1 \end{cases};$$

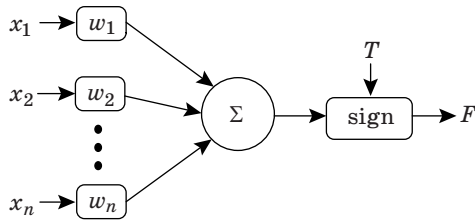
$$\omega_j = w_j / T, \quad (2)$$

что приводит к схеме  $\beta$ -компаратора, показанной на рис. 2, где  $\omega_j \beta = \beta_n j$ ;  $\beta_n = \beta \sum_{j=1}^n \omega_j x_j$ ;  $\beta_p = \beta$ .

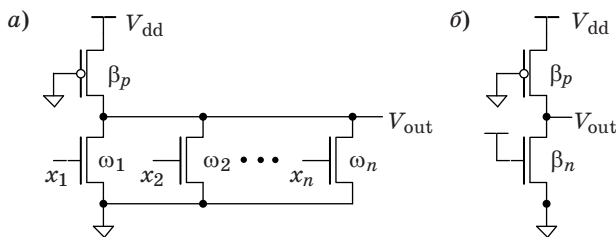
Напряжение  $V_{out}$  на выходе  $\beta$ -компаратора определяется отношением крутизны ( $\beta_n$  и  $\beta_p$ ) вольт-амперных характеристик  $n$ - и  $p$ -цепей. По этой причине пороговый элемент называется  $\beta$ -управляемым. Крутизна  $\beta_n$  характеристики  $n$ -цепи формируется путем параллельного соединения транзисторов соответствующей ширины, определяющей веса входов  $x_i$ .

Схема, эквивалентная схеме на рис. 2, а, показана на рис. 2, б. Выходное напряжение  $\beta$ -компаратора определяется значением  $\alpha = \beta_n / \beta_p$  следующим образом:

$$V_{out} = \begin{cases} > V_{dd} / 2, & \text{если } \alpha < 1 \\ \leq V_{dd} / 2, & \text{если } \alpha \geq 1 \end{cases}.$$



■ Рис. 1. Общая структура модели порогового нейрона



■ Рис. 2.  $\beta$ -компаратор: а — КМОП-реализация; б — схема замещения

Если выходное напряжение КМОП-пары (см. рис. 2, б)  $V_{out} \approx V_{dd}/2$ , это означает, что оба транзистора находятся в ненасыщенном режиме, поскольку они оба удовлетворяют условию  $V_{th} < V_{out} < V_{gs} - V_{th}$ ,  $V_{gs} = V_{dd}$ . (Здесь для простоты принято, что пороговое напряжение  $V_{th}$  для обоих транзисторов одинаковое.) Следовательно:

$$I_n = \beta_n \left[ (V_{dd} - V_{th})V_{out} - \frac{V_{out}^2}{2} \right];$$

$$I_p = -\beta_p \left[ (V_{dd} - V_{th})(V_{dd} - V_{out}) - \frac{(V_{dd} - V_{out})^2}{2} \right],$$

$$I_n + I_p = 0. \quad (3)$$

Из этих уравнений, положив  $\alpha = \beta_n / \beta_p$ ,  $V_{dd} = 3 \text{ В}$ ,  $V_{th} \approx 0,5 \text{ В}$  (для транзисторов 0,18 мкм), путем несложных преобразований можно получить

$$\alpha V_{out}(5 - V_{out}) - (3 - V_{out})(2 + V_{out}) = 0;$$

$$\frac{dV_{out}}{d\alpha} = \frac{V_{out}^2 - 5V_{out}}{5\alpha - 1 - 2V_{out}(\alpha - 1)}.$$

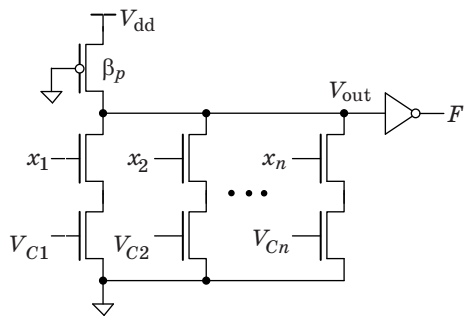
Легко видеть, что при  $\alpha = 1$  в точке  $V_{out} = V_{dd}/2$

$$\frac{dV_{out}}{d\alpha} \approx -1,3 \text{ В}, \text{ т. е. предложенная схема компара}$$

тора имеет чувствительность, приблизительно равную 1,3 В в этой точке. Следовательно, на уровне порога переключения выходного инвертора ( $V_{out} = V_{dd}/2$ ) реакция  $\beta$ -компаратора на минимально возможное изменение (единичное) суммы весов входов имеет вид  $\Delta V_{out} \approx |-1,3/T| \text{ В}$ , т. е. линейно уменьшается с ростом порога функции. Например, если  $T = 100$ , единичное изменение суммы весов входов приводит к скачку напряжения, равному 13 мВ, в районе  $V_{out} = V_{dd}/2 = 1,5 \text{ В}$ , что явно недостаточно для надежного срабатывания выходного усилителя (инвертора).

Анализ [12] устойчивости  $\beta$ -DTE к изменению параметров показал, что с помощью  $\beta$ -DTE можно реализовать пороговые функции только с низкими значениями порога (три, максимум четыре). Однако искусственный нейрон — это обучаемый объект, и вариации нескольких параметров (например, технологических) могут быть компенсированы во время обучения.

Обучаемый TTE, построенный на основе  $\beta$ -DTE, имеет достаточно простое управление входным весом (рис. 3): управляющее напряжение  $V_{Ci}$  изменяет эквивалентную крутизну  $\beta_i$   $i$ -го синапса с входом  $x_i$ . Поскольку синапс может быть в одном из двух состояний — проводящем или непроводящем, — выходное напряжение  $\beta$ -компаратора формируется только синапсами, которые проводят ток в данный момент.



■ Рис. 3.  $\beta$ -управляемый ТТЕ

Очевидно, что после достижения выходным напряжением  $\beta$ -компаратора порогового значения ( $V_{dd}/2$ ) добавление новых синапсов не изменяет состояние выхода ТТЕ. Из этого можно заключить, что реализуемость  $\beta$ -ДТЕ и, следовательно, ТТЕ на его основе зависит только от порогового значения и не зависит от количества входов и суммы их весов [12]. Важным аспектом является чувствительность  $\beta$ -компаратора к изменениям тока через него в районе пороговой точки. Поскольку диапазон изменения выходного напряжения  $\beta$ -компаратора находится в пределах  $0 - V_{dd}$ , единственным способом увеличения крутизны характеристики  $\beta$ -компаратора в пороговой точке является увеличение нелинейности зависимости выходного напряжения  $\beta$ -компаратора от отношения  $\alpha = \beta_n/\beta_p$ .

Итак, при больших значениях порога функции помехоустойчивость ТТЕ становится особенно важной. Она определяется наименьшим изменением выходного напряжения ( $\min \Delta V_{out}$ )  $\beta$ -компаратора при достижении порогового значения. Скачок напряжения на выходе  $\beta$ -компаратора, равный  $\min \Delta V_{out}$ , может возникнуть при подключении к  $\beta$ -компаратору, находящемуся в предпороговом состоянии, синапса с минимальным весом входного сигнала, т. е. определяется минимальным током синапса. Помехоустойчивость и, следовательно, реализуемость заданных логических функций ТТЕ зависит не только от величины  $\min \Delta V_{out}$ , но и от положения порога характеристики  $\beta$ -компаратора относительно порога выходного усилителя.

Далее будет рассмотрен метод обучения ТТЕ заданной логической функции. Этот метод не только позволяет автоматическое позиционирование порога усилителя относительно середины скачка напряжения  $\min \Delta V_{out}$ , но также увеличивает  $\min \Delta V_{out}$  до максимально возможного значения, т. е.  $\max(\min \Delta V_{out})$ , которое достигается при нахождении минимального порога функции и определяется крутизной характеристики  $\beta$ -компаратора. Этот метод использует три выходных усилителя с различными пороговыми

значениями, которые обеспечивают необходимую ширину гистерезиса порога. Ширина этого гистерезиса определяет значение  $\max(\min \Delta V_{out})$ , достижимое при обучении.

### Увеличение чувствительности $\beta$ -компаратора

Для повышения чувствительности  $\beta$ -компаратора его транзисторы должны быть в насыщенном режиме, когда выходное напряжение компаратора находится в зоне порога переключения выходного усилителя. Это может быть продемонстрировано на примере эквивалентной схемы компаратора (см. рис. 2, б).

Пусть на затворы обоих транзисторов подается не заземление и источник напряжения, а напряжения между затвором и истоком  $V_{gs}^p$  и  $V_{gs}^n$  такие, что оба транзистора находятся в режиме насыщения, когда  $V_{out} = V_{dd}/2$ . Для простоты предположим, что  $V_{gs}^p = V_{gs}^n = V_{gs}$ ,  $V_{th}^p = V_{th}^n = V_{th}$  и  $0 < V_{gs} - V_{th} < V_{dd}/2$  (здесь  $V_{dd}$  — напряжение источника питания, а  $V_{th}$  — порог транзистора). Тогда уравнения для тока, протекающего через транзисторы, могут быть представлены в виде

$$\begin{aligned} I_n &= \beta_n (V_{gs} - V_{th})^2 (1 + \lambda_n V_{out}); \\ I_p &= -\beta_p (V_{gs} - V_{th})^2 [1 + \lambda_p (V_{dd} - V_{out})]; \\ I_n + I_p &= 0, \end{aligned} \quad (4)$$

где параметры  $\lambda_n$  и  $\lambda_p$  отражают небольшое увеличение тока транзистора, которое происходит при увеличении напряжения между стоком и истоком  $V_{ds}$ . Из этих уравнений находим

$$V_{out} = \frac{1 - \alpha + \lambda_p V_{dd}}{\lambda_p + \lambda_n \alpha}, \quad \alpha = \beta_n / \beta_p; \quad (5)$$

$$\frac{dV_{out}}{d\alpha} = -\frac{\lambda_n + \lambda_p + \lambda_n \lambda_p V_{dd}}{(\lambda_p + \lambda_n \alpha)^2}. \quad (6)$$

Пусть  $\lambda_n = 0,03 \frac{1}{В}$  и  $\lambda_p = 0,11 \frac{1}{В}$  (значения

этих параметров были взяты из существующих моделей транзистора). Для  $V_{out} = V_{dd}/2$  легко вычислить из (5), что  $\alpha = 1,15$ . Параметр  $\alpha \neq 1$  при таком значении  $V_{out}$ , так как значения  $\lambda_n$  и  $\lambda_p$  разные. Когда  $V_{dd} = 3 В$  и  $\alpha = 1,15$ ,  $\frac{dV_{out}}{d\alpha} = -7,8 В$ .

Таким образом, чувствительность  $\beta$ -компаратора увеличилась в 6 раз. Чем меньше значения  $\lambda_n$  и  $\lambda_p$ , тем больше чувствительность.

В ТТЕ-схеме (см. рис. 3) каждый синапс состоит из двух транзисторов. На затвор одного транзистора подается входная переменная  $x_j$ ,

а на затвор другого — напряжение  $V_{Cj}$ , которое управляет переменным весом (током в  $j$ -м синапсе).

Рассмотрим сначала нижнюю часть ТТЕ  $\beta$ -компаратора, где токи синапсов суммируются, и заместим пары транзисторов, которые образуют синапсы, эквивалентными транзисторами с характеристиками, показанными на рис. 4. Эти характеристики были получены с использованием SPICE-моделирования.

Слева от линии переключения режимов транзисторы находятся в ненасыщенном режиме, справа — в насыщенном режиме. Из этих характеристик легко увидеть, что когда  $V_{out} = 1,5$  В, эквивалентные транзисторы находятся в насыщенном режиме, если управляющее напряжение  $V_C \leq 1,5$  В, и в ненасыщенном режиме при  $V_C > 1,5$  В.

Таким образом, условие насыщенного режима ограничивает диапазон изменения напряжения управления (0–1,5 В). Нарушение этого условия приводит к уменьшению выходного сигнала  $\beta$ -компаратора, поскольку в этом случае токи через синапсы могут перераспределяться при подключении тока дополнительного синапса. Действительно, пусть наименьший вес соответствует току синапса  $I_{min}$  и добавление этого тока к общему току других синапсов должно вызвать переключение ТТЕ. Однако это переключение может не произойти, так как если синапс с наибольшим током не насыщен, то, несмотря на общее увеличение тока, ток через этот синапс может уменьшиться за счет перераспределения токов в синапсах. Ток других ненасыщенных синапсов также уменьшается. В результате общий ток увеличивается на величину, которая значительно меньше  $I_{min}$ . Это приводит к уменьшению выходного сигнала  $\beta$ -компаратора.

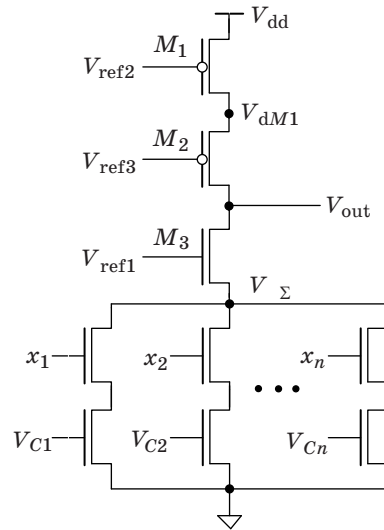
Диапазон изменения управляющих напряжений синапсов может быть расширен путем включения дополнительного  $n$ -канального транзистора  $M_3$  в схему (рис. 5). На затвор этого транзистора подается напряжение  $V_{ref1}$  такое, что при токе, обеспечивающем  $V_{out} \approx V_{dd}/2$ , транзистор насыщается под действием напряжения  $V_{gs} = V_{ref1} - V_{\Sigma}$ .

Увеличение общего тока через синапсы путем добавления синапса с наименьшим током ведет к некоторому уменьшению  $V_{\Sigma}$ . При этом  $V_{gs}$  транзистора  $M_3$  увеличивается на ту же величину и дополнительный транзистор  $M_3$  приоткрывается, компенсируя изменение  $V_{\Sigma}$ .

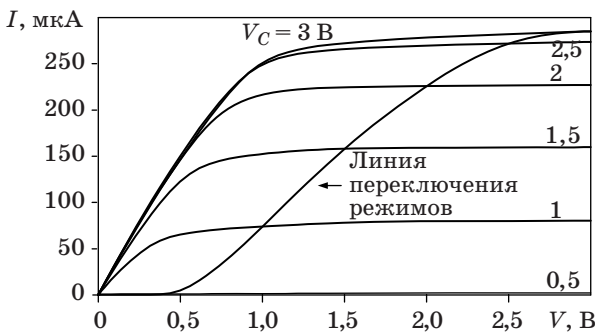
Таким образом, из-за отрицательной обратной связи дополнительный транзистор стабилизирует  $V_{\Sigma}$  и, следовательно, стабилизирует токи через синапсы.

Транзисторы синапсов имеют минимальную ширину 0,27 мкм, ширина транзистора  $M_3$  — 6 мкм, транзистора  $M_1$  — 5,4 мкм, транзистора  $M_2$  — 6 мкм (см. рис. 5). Пусть управляющее напряжение одного из синапсов равно наибольшему возможному значению ( $V_C = 3$  В), а управляющие напряжения других синапсов равны нулю. Тогда ток будет протекать только через один синапс. Временно отсоединим  $p$ -канальную часть схемы, соединим сток транзистора  $M_3$  с источником напряжения  $V_{out}$  и снимем зависимость тока синапса от напряжения  $V_{out}$ , показанную на рис. 6.

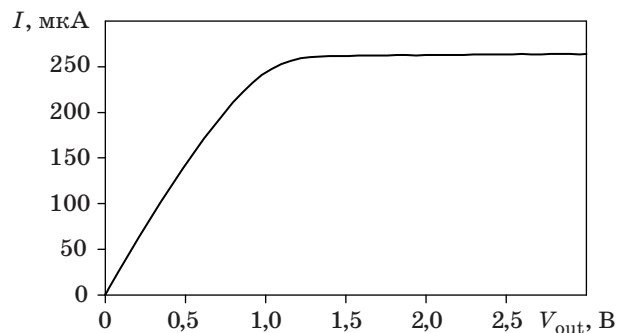
Она похожа на характеристику одного транзистора и имеет две зоны — линейную и насыщения.



■ Рис. 5. Модифицированный  $\beta$ -компаратор



■ Рис. 4. Характеристики транзисторов, эквивалентных транзисторной паре



■ Рис. 6. Зависимость тока синапса от  $V_{out}$  при  $V_C = 3$  В

Легко видеть, что при  $V_{out} \approx 1,5$  В синапс находится в режиме насыщения.

Уменьшение напряжения  $V_{ref1}$  ведет к снижению тока синапса и, следовательно, к уменьшению диапазона изменения этого тока в зависимости от значения управляющего напряжения  $V_C$ . При увеличении напряжения  $V_{ref1}$  растет ток синапса и расширяется линейная зона характеристики, что может привести к потере стабилизации тока в рабочей точке  $\beta$ -компаратора. Таким образом, существует оптимальное значение напряжения смещения  $V_{ref1}$ . Во всех экспериментах  $V_{ref1} = 2,1$  В.

Теперь рассмотрим  $p$ -канальную часть схемы модифицированного  $\beta$ -компаратора (см. рис. 5). В рабочей точке ( $V_{out} \approx V_{dd}/2$ ) она должна обеспечить ток, соответствующий наибольшему значению порога реализуемых функций. Для достижения этой цели может быть использован один  $p$ -канальный транзистор с напряжением смещения  $V_{ref}$  на его затворе, которое обеспечивает насыщение транзистора в рабочей точке. Однако в этом случае крутизна характеристики  $V_{out}(I)$  в рабочей точке будет недостаточной для хорошей стабилизации порогового значения тока. По этой причине схема модифицированного  $\beta$ -компаратора имеет два последовательно соединенных  $p$ -канальных транзистора  $M_1$  и  $M_2$ , на затворы которых подаются опорные напряжения  $V_{ref2}$  и  $V_{ref3}$  соответственно (прием, используемый в каскодных усилителях [21, с. 287]). Эти опорные напряжения выбираются таким образом, что с ростом тока компаратора сначала насыщается транзистор  $M_1$ , а затем с большей скоростью насыщается транзистор  $M_2$ . В дальнейших экспериментах  $V_{ref2} = 2,1$  В,  $V_{ref3} = 1,5$  В.

Зависимость напряжения  $V_{dM1}$  на стоке транзистора  $M_1$  от тока показана на рис. 7.

При вхождении транзистора  $M_1$  в зону насыщения напряжение  $V_{gs}$  на затворе транзистора  $M_2$  начинает изменяться с большей скоростью,

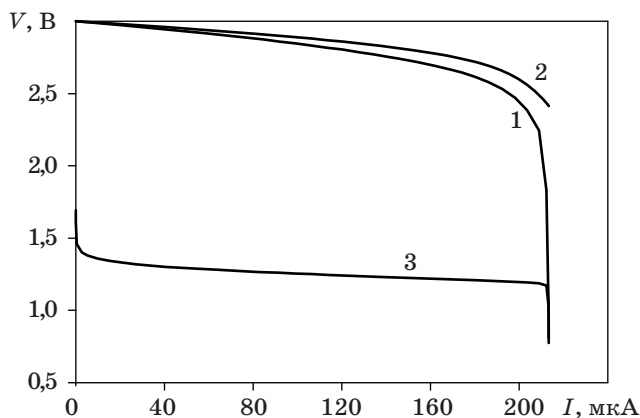


Рис. 7. Экспериментально полученные зависимости: 1 —  $V_{out}(I)$ ; 2 —  $V_{dM1}(I)$ ; 3 —  $V_{\Sigma}(I)$

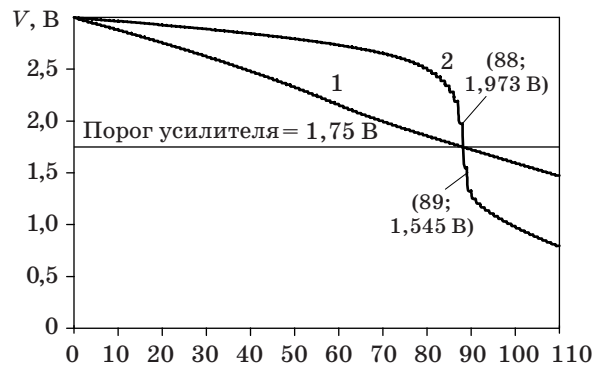


Рис. 8. Характеристики  $\beta$ -компаратора для старой (1) и новой (2) схемы

так как  $V_{gs} = V_{ref3} - V_{dM1}$ . Падение напряжения на транзисторе  $M_2$  стремительно возрастает, увеличивая крутизну характеристики  $V_{out}(I)$  (кривая 1 на рис. 7). Кривая 2 демонстрирует удовлетворительную стабилизацию падения напряжения  $V_{\Sigma}(I)$  на синапсе.

Для сравнений на рис. 8 представлены экспериментальные характеристики старого и нового  $\beta$ -компаратора, рассчитанного на максимальное значение порога функций, равного 89.

При проведении этого эксперимента к  $\beta$ -компаратору последовательно подключались синапсы, на управляющие входы которых подавалось напряжение  $\min V_C$ , соответствующее наименьшему весу входных переменных, а на информационные входы —  $x = V_{dd}$ , т. е. синапсы с минимальным током. Как видно из рисунка, для старой схемы  $\beta$ -компаратора (кривая 1) скачок напряжения почти везде одинаков и в районе порога выходного усилителя равен  $\approx 15$  мВ. Модифицированный  $\beta$ -компаратор при добавлении 89-го синапса дает максимальный скачок напряжения  $\max \Delta V_{out} = 428$  мВ на своем выходе  $V_{out}$  (кривая 2). Естественно выбрать пороговое напряжение выходного усилителя в середине этого скачка на уровне 1,75 В. Легко видеть, что ТТЕ с таким  $\beta$ -компаратором и 89 синапсами может реализовать пороговую функцию И на 89 входов. Причина, по которой выбрано это странное число 89, будет ясна из дальнейшего изложения.

### Схемы для экспериментов и метод обучения ТТЕ

#### Схема ТТЕ

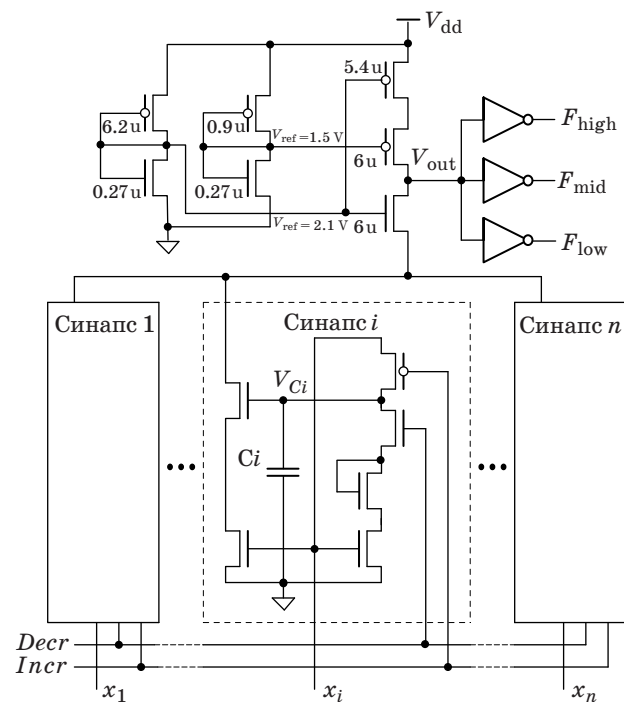
Схемы, которые используются для создания управляющих напряжений, определяющих веса входных переменных ТТЕ, практически не зависят от способа реализации синапсов. Некоторые из них были опубликованы (например, [9]), и все они имеют похожую структуру. Основное различие заключается в выборе типа элемента памяти



(конденсатор или транзистор с плавающим затвором) и способа представления значений входных двоичных переменных ( $\{0, 1\}$  или  $\{-1, +1\}$ ).

На полной схеме ТТЕ, используемой в экспериментах (рис. 9), напряжения смещения транзисторов  $\beta$ -компаратора (1,5 и 2,1 В) формируются с помощью делителей напряжения, выполненных по схеме токового зеркала. Каждый из синапсов ТТЕ содержит пять транзисторов, один диод (транзистор в диодном включении) и конденсатор. Два из пяти транзисторов образуют одну из параллельных ветвей  $\beta$ -компаратора. Входная переменная подается на затвор нижнего транзистора этой пары, а управляющее напряжение, снимаемое с конденсатора, — на затвор верхнего транзистора. Такой порядок соединения транзисторов делает зависимость тока синапса от управляющего напряжения более линейной (за счет отрицательной обратной связи) и сокращает в несколько раз влияние переключения значения входной переменной на управляющее напряжение (через паразитную емкость). Все транзисторы синапса имеют минимальную ширину (0,27 мкм). Емкость конденсатора выбрана равной 1 пФ.

Транзистор в диодном включении в схеме синапса, в принципе, может быть опущен. Он предназначен для того, чтобы при обучении ТТЕ сигналы *decr* могли разрядить конденсатор лишь до величины напряжения, равного напряжению порога диода, которое несколько ниже напряжения, устанавливающего минимальный ток синапса. Такое ограничение существенно умень-



■ Рис. 9. Схема ТТЕ

шает время обучения. Кроме того, включение диода уменьшает влияние через паразитные емкости изменения значений входной переменной на сохранение заряда конденсатора, когда цепь его разряда не работает.

Во время обучения напряжение, управляющее током синапса (весом переменной), аккумулируется на конденсаторе. Изменение заряда конденсатора допускается только в случае, когда синапс активен, т. е. когда входная переменная принимает значение «лог.1». До тех пор, пока  $\beta$ -компаратор ТТЕ не выйдет в рабочую точку, заряд конденсатора может увеличиваться непрерывно, а дискретно приближаться к определенным порциям (квантами), определяющими максимальный шаг обучения. При достижении  $\beta$ -компаратором рабочей точки конденсатор синапса может как заряжаться, так и разряжаться на шаг обучения, который формируется автоматически от максимально возможного до минимальной величины, обусловленной задержкой срабатывания ТТЕ. Максимальная величина шага обучения выбирается исходя из требуемой точности установки управляющих напряжений синапсов и определяется амплитудой сигналов *Incr* (increment — увеличение) и *Decr* (decrement — уменьшение) и их длительностью.

При обучении ТТЕ сложным пороговым функциям (с большим значением суммы весов входов и порога) максимальный шаг обучения должен быть небольшим. Алгоритмы обучения обычно строятся таким образом, что как только выходной сигнал ТТЕ начинает совпадать со значением обучающей функции, обучение прекращается. Из-за маленького шага обучения в случае, когда ТТЕ правильно сработает после того, как переменная с наименьшим весом изменит свое значение, скачок напряжения на выходе  $\beta$ -компаратора может лишь незначительно превысить минимально допустимую величину, достаточную для срабатывания выходного усилителя.

Для того чтобы расширить границы надежного сохранения состояния ТТЕ после обучения, его схема содержит три выходных усилителя с различными порогами срабатывания: высоким, средним и низким. В обученном ТТЕ значение пороговой функции снимается с выхода  $F_{mid}$  усилителя со средним порогом. Выходные сигналы  $F_{high}$  and  $F_{low}$  усилителей с высоким и низким порогами соответственно используются лишь во время обучения ТТЕ. После обучения такого ТТЕ скачок напряжения  $\Delta V_{out}$  на выходе  $\beta$ -компаратора, который вызывает переключение выхода  $F_{mid}$  среднего усилителя, должен быть не меньше, чем разность пороговых напряжений срабатывания двух других усилителей.

Итак, управляющие напряжения синапсов, сформированные в процессе обучения, сохраня-

ются на конденсаторах и, следовательно, могут изменяться благодаря паразитным сопротивлениям утечки. В связи с этим необходимо организовать процедуру обновления емкостной памяти. Три выходных усилителя с различными порогами чувствительности позволяют решить и эту проблему, например, путем организации автокоррекции управляющих напряжений, используя выходной сигнал  $F_{mid}$  ТТЕ в качестве обучающей последовательности значений функции.

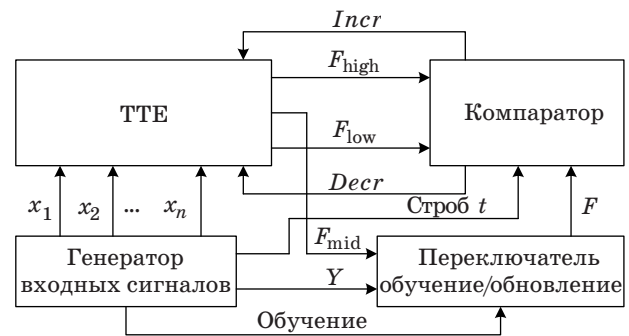
### Общая схема для экспериментов

Общая структурная схема, используемая при моделировании процесса обучения ТТЕ заданной пороговой логической функции, показана на рис. 10.

Генератор входных сигналов вырабатывает периодически повторяемые последовательности наборов значений входных переменных  $x_1, x_2, \dots, x_n$  и последовательность значений логической функции  $Y$  на этих наборах, а также стробирующие сигналы  $t$  и однократный сигнал, управляющий переключением режима обучения на режим обновления.

Переключатель обучение/обновление направляет на его выход  $F$  либо сигнал  $Y$  (при обучении), либо выходной сигнал  $F_{mid}$  ТТЕ (при обновлении).

Компаратор в обоих режимах вырабатывает сигналы  $Incr$  и  $Decr$ , максимальная длительность которых определяется длительностью стробирующего сигнала  $t$ . Логические функции этих сигналов имеют вид  $Incr = \bar{F} \vee F_{low} \vee \bar{t}$  и  $Decr = \bar{F} \cdot F_{high} \cdot t$ . Активными значениями сигналов  $Incr$  и  $Decr$  являются соответственно «лог.0» и «лог.1». Физически эти сигналы реализуются с ограниченной амплитудой напряжения такой, чтобы в цепях заряда и разряда конденсаторов синапсов создавался ток, равный 0,2 мкА. Для ограничения амплитуды сигналов используются



■ Рис. 10. Общая схема для экспериментов

делители напряжения. При длительности строба  $t$ , равной 100 нс, и емкости конденсаторов 1 пФ максимальный шаг обучения составляет 20 мВ. Сокращение шага обучения в рабочей точке ТТЕ происходит при совпадении значений сигналов  $F_{low}$  или  $F_{high}$  со значением сигнала  $\bar{F}$ . В результате шаг обучения может изменяться от 20 мВ до 0, что дает возможность устанавливать напряжения на конденсаторах синапсов с точностью до 1 мВ. Выбор значения максимального шага обучения зависит от сложности обучаемой функции, вернее, от числа переменных функции, которые одновременно могут принимать значение «лог.1» в формируемых наборах.

Продолжение статьи, в котором обосновывается выбор обучающих пороговых функций для моделирования процесса обучения ТТЕ, приводятся результаты SPICE моделирования с использованием моделей транзисторов MOSIS 0,18 мкм, определяются ограничения на реализуемость ТТЕ и доказывается возможность его обучения произвольным логическим функциям, зависящим от не более чем 11 переменных, будет представлено в следующем номере журнала.

### Литература

1. Mead C. Analog VLSI and Neural Systems. — Addison-Wesley, 1989. — 371 p.
2. Fakhraie S. M., Smith K. C. VLSI-Compatible Implementations for Artificial Neural Networks. — Kluwer, Boston-Dordrecht-London, 1997. — 194 p.
3. Shibata T., Ohmi T. Neuron MOS Binary-logic Integrated Circuits. Part 1: Design Fundamentals and Soft-hardware Logic Circuit Implementation // IEEE Transactions on Electron Devices. 1993. Vol. 40. N 5. P. 974–979.
4. Ohmi T., Shibata T., Kotani K. Four-Terminal Device Concept for Intelligence Soft Computing on Silicon Integrated Circuits // Proc. of IIZUKA'96. 1996. P. 49–59.
5. Ohmi T. VLSI Reliability through Ultra Clean Processing // Proc. of the IEEE. 1993. Vol. 81. N 5. P. 716–729.
6. Lazzaro J. P. Low-Power Silicon Spiking Neurons and Axons // IEEE Intern. Symp. on Circuits and Systems, San Diego, CF, 1992. P. 2220–2224.
7. Varrientos J. E., Sanchez-Sinencio E., Ramires-Angulo J. F. Current-Mode Cellular Neural Network Implementation // IEEE Transaction on Circuit and Systems. 1993. Vol. 40. N 3. P. 147–153.
8. Herrera A., Quintana S., Perez J. L., Hernandez G. Electronic Implementation and Analysis of a Small Neural Network // Instrumentation and Development. 1997. Vol. 3. N 7. P. 25–33.
9. Montalvo A., Gyurcsik R., Paulos J. Toward a General-Purpose Analog VLSI Neural Network with On-

- Chip Learning// IEEE Transactions on Neural Networks. Mar. 1997. Vol. 8. N 2. P. 413–423.
10. Lashevsky R., Takahara K., Souma M. Neuron MOSFET as a Way to Design the Threshold Gates with the Threshold and Inputs Weights Alterable in Real Time// Proc. of the IEEE Asia-Pacific Conf. on Circuits and Systems, Chiangmai, Thailand, Nov. 24–27, 1998. P. 263–266.
  11. Lashevsky R., Takahara K., Souma M. The Efficiency of Neuron-MOS Transistors in Threshold Logic // Proc. of Conf. «Soft Computing 3». Springer-Verlag, 1999. P. 20–29.
  12. Varshavsky V. Beta-Driven Threshold Elements// Proc. of the 8th Great Lakes Symp. on VLSI. IEEE Computer Society, Feb. 19–21, 1998. P. 52–58.
  13. Varshavsky V. Simple CMOS Learnable Threshold Element// Intern. ICSC/IFAC Symp. on Neural Computation, Vienna, Austria, Sept. 23–25, 1998.
  14. Varshavsky V. CMOS Artificial Neuron on the Base of Beta-Driven Threshold Elements// IEEE Intern. Conf. on Systems, Man and Cybernetics, San Diego, CA, Oct. 11–14, 1998. P. 1857–1861.
  15. Varshavsky V., Marakhovsky V. Beta-CMOS Implementation of Artificial Neuron// SPIE's 13th Annual Intern. Symp. on Aerospace/Defense Sensing, Simulation, and Controls. Applications and Science of Computational Intelligence II, Orlando, Florida, Apr. 5–8, 1999. P. 210–221.
  16. Varshavsky V., Marakhovsky V. Beta-CMOS Artificial Neuron and Implementability Limits// Lecture Notes in Computer Science 1607/ Ed. Jose Mira and Juan V. Sanchez-Andves/ Engineering Applications of Bio-Inspired Artificial Neural Networks. Springer, 1999. Vol. 11. P. 117–128.
  17. Varshavsky V., Marakhovsky V. The Simple Neuron CMOS Implementation Learnable to Logical Threshold Functions// Proc. of Intern. Workshop on Soft Computing in Industry (IWSCI'99), June 16–18, 1999, Hokkaido, Japan. IEEE Press, 1999. P. 463–468.
  18. Varshavsky V., Marakhovsky V. Implementability Restrictions of the Beta-CMOS Artificial Neuron// The Sixth Intern. Conf. on Electronics, Circuits and Systems (ICECS'99), Pafos, Cyprus, Sept. 5–8. IEEE Press, 1999. P. 401–405.
  19. Varshavsky V., Marakhovsky V., Saito H. CMOS Implementation of an Artificial Neuron Training on Logical Threshold Functions// WSEAS Transaction on Circuits and Systems. Apr. 2009. Iss. 4. Vol. 8. P. 370–391.
  20. McCulloch S., Pitts W. A Logical Calculus of the Ideas Imminent in Nervous Activity// Bulletin of Mathematical Biophysics. 1943. N 5. P. 115–133.
  21. Allen F. E., Holberg D. R. CMOS Analog Circuit Design. — Oxford University Press, 1987. — 784 p.

UDC 681.3

### CMOS Implementation of the Trainee's Threshold Logical Element. Part I. Design and Training Diagram

Marakhovsky V. B.<sup>a</sup>, Dr. Sc., Tech., Professor, vbmarak@gmail.com

<sup>a</sup>Saint-Petersburg State Politechnical University, 29, Polytechnicheskaya St., 195251, Saint-Petersburg, Russian Federation

**Purpose:** The objective is to show a possibility of implementation an analog-digital artificial neuron on the example of building a logical threshold element learning complex logical threshold functions in CMOS technology which uses modern design standards. **Methods:** representation of McCulloch — Pitts neuron in the form of relation of the total of weighted inputs to the threshold and development of a methodology of designing a threshold logical learning element consisting of synapses which conductivity depends on input variables and their threshold weights reduced to function which are accumulated during a learning process in analog memory elements; a high sensitive comparator which compares total conductivity of synapses with conductivity of its p-channel part represents the highest function threshold value; and three output amplifiers with different firing thresholds. **Results:** It has been shown that implementability of a threshold learning element depends only on a function threshold value and does not depend on the total of input weights and their number. The element can be trained to implement an arbitrary threshold function which threshold does not exceed a given value. The element circuit considered in the paper is oriented towards the maximum threshold value equal to 89 and is capable to implement any threshold function of 10 variables. There has been proposed a training diagram which provides parallel forming of weights for active inputs and makes an automatic choice a value of a learning step. All practical results are received using PSPICE simulation of circuits constructed in CMOS technology of 0.18 micron. **Practical relevance:** There have been considerably extended functional possibilities of the proposed threshold learning element. It can be applied in logical systems of image recognition and for creation a new generation of neuron chips.

**Keywords** — Artificial Neuron, Synapse, Threshold Logical Learning Element, Training Algorithm, Learning Step, CMOS Technology, Threshold Logical Function

#### References

1. Mead C. *Analog VLSI and Neural Systems*. Addison-Wesley, 1989. 371 p.
2. Fakhraie S. M., Smith K. C. *VLSI-Compatible Implementations for Artificial Neural Networks*. Kluwer, Boston-Dordrecht-London, 1997. 194 p.
3. Shibata T., Ohmi T. *Neuron MOS Binary-Logic Integrated Circuits. Part 1. Design Fundamentals and Soft-Hardware Logic Circuit Implementation*. *IEEE Transaction on Electron Devices*, 1993, vol. 40, no. 5, pp. 974–979.
4. Ohmi T., Shibata T., Kotani K. Four-Terminal Device Concept for Intelligence Soft Computing on Silicon Integrated Circuits. *Proc. of IIZUKA'96*, 1996, pp. 49–59.
5. Ohmi T. VLSI Reliability through Ultra Clean Processing. *Proc. of the IEEE*, 1993, vol. 81, no. 5, pp. 716–729.
6. Lazzaro J. P. Low-Power Silicon Spiking Neurons and Axons. *IEEE Intern. Symp. on Circuits and Systems*, San Diego, CA, 1992, pp. 2220–2224.
7. Varrientos J. E., Sanchez-Sinencio E., Ramires-Angulo J. F. Current-Mode Cellular Neural Network Implementation.

- IEEE Transaction on Circuit and Systems*, 1993, vol. 40, no. 3, pp. 147–153.
8. Herrera A., Quintana S., Perez J. L., Hernandez G. Electronic Implementation and Analysis of a Small Neural Network. *Instrumentation and Development*, 1997, vol. 3, no. 7, pp. 25–33.
  9. Montalvo A., Gyurcsik R., Paulos J. Toward a General-Purpose Analog VLSI Neural Network with On-Chip Learning. *IEEE Transactions on Neural Networks*, 1997, vol. 8, no. 2, pp. 413–423.
  10. Lashevsky R., Takahara K., Souma M. Neuron MOSFET as a Way to Design the Threshold Gates with the Threshold and Inputs Weights Alterable in Real Time. *Proc. of the IEEE Asia-Pacific Conf. on Circuits and Systems*, Chiang-mai, Thailand, Nov. 24–27, 1998, pp. 263–266.
  11. Lashevsky R., Takahara K., Souma M. The Efficiency of Neuron-MOS Transistors in Threshold Logic. *Proc. Conf. "Soft Computing 3"*. Springer-Verlag, 1999, pp. 20–29.
  12. Varshavsky V. Beta-Driven Threshold Elements. *Proc. of the 8th Great Lakes Symp. on VLSI. IEEE Computer Society*, Feb. 19–21, 1998, pp. 52–58.
  13. Varshavsky V. Simple CMOS Learnable Threshold Element. *Intern. ICSC/IFAC Symp. on Neural Computation*, Vienna, Austria, Sept. 23–25, 1998.
  14. Varshavsky V. CMOS Artificial Neuron on the Base of Beta-Driven Threshold Elements. *IEEE Intern. Conf. on Systems, Man and Cybernetics*, San Diego, CA, Oct. 11–14, 1998, pp. 1857–1861.
  15. Varshavsky V., Marakhovsky V. Beta-CMOS Implementation of Artificial Neuron. *SPIE's 13th Annual Intern. Symp. on Aerospace/Defense Sensing, Simulation, and Controls. Applications and Science of Computational Intelligence II*, Orlando, Florida, Apr. 5–8, 1999, pp. 210–221.
  16. Varshavsky V., Marakhovsky V. Beta-CMOS Artificial Neuron and Implementability Limits. *Lecture Notes in Computer Science 1607*, Ed. Jose Mira and Juan V. Sanchez-Andves, Engineering Applications of Bio-Inspired Artificial Neural Networks. Springer, 1999, vol. 11, pp. 117–128.
  17. Varshavsky V., Marakhovsky V. The Simple Neuron CMOS Implementation Learnable to Logical Threshold Functions. *Proc. of Intern. Workshop on Soft Computing in Industry (IWSCI'99)*, June 16–18, 1999, Hokkaido, Japan, IEEE Press, 1999, pp. 463–468.
  18. Varshavsky V., Marakhovsky V. Implementability Restrictions of the Beta-CMOS Artificial Neuron. *The Sixth Intern. Conf. on Electronics, Circuits and Systems (ICECS'99)*, Cyprus, Sept. 5–8, 1999, IEEE Press, pp. 401–405.
  19. Varshavsky V., Marakhovsky V., Saito H. CMOS Implementation of an Artificial Neuron Training on Logical Threshold Functions. *WSEAS Transaction on Circuits and Systems*, Apr. 2009, iss. 4, vol. 8, pp. 370–391.
  20. McCulloch S., Pitts W. A Logical Calculus of the Ideas Imminent in Nervous Activity. *Bulletin of Mathematical Biophysics*, 1943, no. 5, pp. 115–133.
  21. Allen F. E., Holberg D. R. *CMOS Analog Circuit Design*. Oxford University Press, 1987. 784 p.

#### Уважаемые подписчики!

Полнотекстовые версии журнала за 2002–2013 гг. в свободном доступе на сайте журнала (<http://www.i-us.ru>), НЭБ (<http://www.elibrary.ru>) и Киберленинки (<http://cyberleninka.ru/journal/n/informatiionno-upravlyayuschie-sistemy>). Печатную версию архивных выпусков журнала за 2003–2013 гг. Вы можете заказать в редакции по льготной цене.

Журнал «Информационно-управляющие системы» выходит каждые два месяца. Стоимость годовой подписки (6 номеров) для подписчиков России — 4200 рублей, для подписчиков стран СНГ — 4800 рублей, включая НДС 18 %, почтовые и таможенные расходы.

На электронную версию нашего журнала (все выпуски, годовая подписка, один выпуск, одна статья) вы можете подписаться на сайте РУНЭБ (<http://www.elibrary.ru>).

Подписку на печатную версию журнала можно оформить в любом отделении связи по каталогу:

«Роспечать»: № 48060 — годовой индекс, № 15385 — полугодовой индекс,

а также через посредство подписных агентств:

«Северо-Западное агентство „Прессинформ“»

Санкт-Петербург, тел.: (812) 335-97-51, 337-23-05, эл. почта: [press@crp.spb.ru](mailto:press@crp.spb.ru), [zajavka@crp.spb.ru](mailto:zajavka@crp.spb.ru),

сайт: <http://www.pinform.spb.ru>

«МК-Периодика» (РФ + 90 стран)

Москва, тел.: (495) 681-91-37, 681-87-47, эл. почта: [export@periodicals.ru](mailto:export@periodicals.ru), сайт: <http://www.periodicals.ru>

«Информнаука» (РФ + ближнее и дальнее зарубежье)

Москва, тел.: (495) 787-38-73, эл. почта: [Alfimov@viniti.ru](mailto:Alfimov@viniti.ru), сайт: <http://www.informnauka.com>

«Гал»

Москва, тел.: (495) 500-00-60, 580-95-80, эл. почта: [interpochta@interpochta.ru](mailto:interpochta@interpochta.ru), сайт: <http://www.interpochta.ru>

Краснодар, тел.: (861) 210-90-00, 210-90-01, 210-90-55, 210-90-56, эл. почта: [krasnodar@interpochta.ru](mailto:krasnodar@interpochta.ru)

Новороссийск, тел.: (8617) 670-474

«Деловая пресса»

Москва, тел.: (495) 962-11-11, эл. почта: [podpiska@delpress.ru](mailto:podpiska@delpress.ru), сайт: <http://delpress.ru/contacts.html>

«Коммерсант-Курьер»

Казань, тел.: (843) 291-09-99, 291-09-47, эл. почта: [kazan@komcur.ru](mailto:kazan@komcur.ru), сайт: <http://www.komcur.ru/contacts/kazan/>

«Урал-Пресс» (филиалы в 40 городах РФ)

Сайт: <http://www.ural-press.ru>

«Идея» (Украина)

Сайт: <http://idea.com.ua>

«ВТЛ» (Узбекистан)

Сайт: <http://btl.sk.uz/ru/cat17.html>

и др.